

Frequency modulation circuit

Patent number: CN1254996
Publication date: 2000-05-31
Inventor: MASAKI ICHIHARA (JP)
Applicant: NIPPON ELECTRIC CO (JP)
Classification:
 - international: **H04B1/707; H04L27/20; H04B1/707; H04L27/20;**
 (IPC1-7): H04J13/00
 - european: H04B1/707; H04L27/20D2B
Application number: CN19990125077 19991125
Priority number(s): JP19980333661 19981125

Also published as:

EP1005202 (A2)
 US6373880 (B1)
 JP2000165350 (A)
 EP1005202 (A3)
 CN1140074C (C)

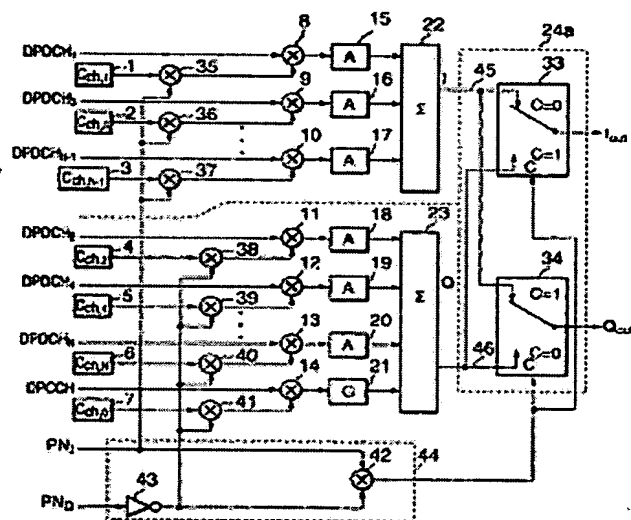
[Report a data error here](#)

Abstract not available for CN1254996

Abstract of corresponding document: **EP1005202**

In scramble calculation by a complex multiplier used for a frequency spread modulation circuit of this invention, the scramble circuit can be simplified because input signals are processed as binary numbers. Other arithmetic processing operations are implemented by simple data selectors. The circuit scale can be reduced, and the process delay time can be considerably shortened.

FIG. 4



Data supplied from the esp@cenet database - Worldwide

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H04J 13/00

[12] 发明专利申请公开说明书

[21] 申请号 99125077.X

[43]公开日 2000年5月31日

[11]公开号 CN 1254996A

[22]申请日 1999.11.25 [21]申请号 99125077.X

[30]优先权

[32]1998.11.25 [33]JP [31]333661/1998

[71]申请人 日本电气株式会社

地址 日本东京

[72]发明人 市原正贵

[74]专利代理机构 中原信达知识产权代理有限责任公司

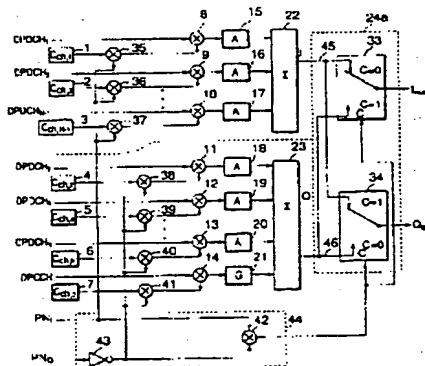
代理人 穆德骏 方挺

权利要求书 3 页 说明书 10 页 附图页数 6 页

[54]发明名称 调频电路

[57]摘要

在由用于本发明的扩频调制电路的复数乘法器进行的扰频计算中,由于以二进制数的形式处理输入信号,因此可简化扰频电路。用简单的数据选择器实施其它算法处理运算。可减小电路规模,并可明显缩短处理延迟时间。



ISSN 1000-4274

调频电路

5 本发明涉及使用 W-CDMA(宽带码分多址)作为下一代移动通信方案的调制电路,特别是涉及使用多码传输并为 IQ 多路复用传输在终端侧准备的扩频调制电路。

10 与常规的 FDMA(频分多址)或 TDMA(时分多址)不同, CDMA(码分多址)移动通信使用扩频,其中不是根据频率或定时而是根据具有低相关性的扩频码鉴别信道。用扩频码鉴别的信道被称为编码信道。

15 在如 W-CDMA(宽带 CDMA)之类的高级 CDMA 方案中,向一个终端分配多个扩频码(即多个编码信道),以便能够进行高速数据传输,这就是所谓的多码。

20 为发射多码,把多个编码信道分成两组。在对编码信道进行扩频后,它们采用第一组的和作为 I 信号(同相信号)和第二组的和作为 Q 信号(正交信号)进行正交相位调制。该方案称为 IQ 多路复用或 IQ 多路复用方案。

25 通常,在正交调制之前,用扰频码与信道相乘并使其随机化(因此,上面的 I 和 Q 信号不总是直接用作同相和正交信号),并用滤波器限定频带。

图 1 示出使用多码的 IQ 多路复用方案的示意图。

30 从左侧输入的 N 个信号 DPDCH 1 至 DPDCH N 分别表示数据信道。信号 DPCCH 表示控制信道。在本专利的说明书中,该信道不是从剩余的数据信道中专门鉴别的。这些信号是二进制信号“0”或“1”。

时, 输出+A, 而当扩频结果是 1 时, 输出-A。对于控制信道, 当扩频结果是 0 时, 输出+G, 而当扩频结果是 1 时, 输出-G。每个预定值 A 和 G 具有多个比特。这些值是二进制数并且对应于信道的发送电平。

5 由值 A 和 G 的二进制补码给出值-A 和-G。

加法器 22 计算 I 组所属的系数电路(15 至 17)的和, 并将其作为 I 信号输出。加法器 23 计算 Q 组所属的系数电路(18 至 21)的和, 并将其作为 Q 信号输出。I 和 Q 信号是具有许多比特的二进制数。

10

电路 24 是对 I 和 Q 信号扰频以产生信号 I_{out} 和 Q_{out} 的复数乘法器。作为扰频码, 使用如 M 序列的码或具有低相关性的金色码之类的两组伪噪声信号。这些是信号 PN_I 和 PN_Q。信号 PN_I 和 PN_Q 是二进制码 0 或 1。由系数电路 25 和 26 分别将这些信号转换成值为+1 或-1 的带符号的数据信号 X_I 和 X_Q。

15

在图 3 的表中示出信号 PN_I 和 PN_Q 与信号 X_I 和 X_Q 之间的关系。

当信号 PN_I 是 0 时, 信号 X_I 是+1。

20

当信号 PN_I 是 1 时, 信号 X_I 是-1。

当信号 PN_Q 是 0 时, 信号 X_Q 是+1。

25

当信号 PN_Q 是 1 时, 信号 X_Q 是-1。

用下面的公式表示复数乘法器 24 的输入与输出之间的关系

30

$$\begin{aligned} I_{\text{out}} + j \cdot Q_{\text{out}} &= (I + j \cdot Q) \cdot (X_I + j \cdot X_Q) \\ &= (I \cdot X_I - Q \cdot X_Q) + j \cdot (I \cdot X_Q + Q \cdot X_I) \\ \therefore I_{\text{out}} &= I \cdot X_I - Q \cdot X_Q \end{aligned}$$

第二系数电路组的输出相加以产生第二输入信号组的输出信号(Q 信号); 逻辑电路, 用于分开接收用于的多个随机信号并一起处理随机信号, 以产生第一、第二、和第三控制信号; 开关电路, 用于根据第一控制信号控制第一输入信号组中使用的扩频码的极性, 根据第二控制信号控制第二输入信号组中使用的扩频码的极性, 和根据第三控制信号直接或在交换后输出 I 信号作为来自第一加法电路的输出, 并输出 Q 信号作为来自第二加法电路的输出。

为实现上面的目的, 根据本发明的第二方面, 提供一种用于采用多个扩频码进行扩频的扩频调制电路, 包括具有一个或多个输入信号的第一输入信号组(I 信号组); 具有一个或多个数据信道的第二输入信号组(Q 信号组); 具有多个乘法电路的第一乘法电路组, 用于分别使用不同的扩频码对属于第一输入信号组的输入信号进行扩频; 具有多个系数电路的第一系数电路组, 用于根据来自第一乘法电路组的输出来输出预定值; 第一加法电路, 用于把来自第一系数电路组的输出相加以产生第一输入信号组的输出信号(I 信号); 具有多个乘法电路的第二乘法电路组, 用于分别使用不同的扩频码对属于第二输入信号组的输入信号进行扩频; 具有多个系数电路的第二系数电路组, 用于根据来自第二乘法电路组的输出来输出预定值; 第二加法电路, 用于把来自第二系数电路组的输出相加以产生第二输入信号组的输出信号(Q 信号); 逻辑电路, 用于分开接收用于扰频多个随机信号并一起处理随机信号, 以产生第一、第二、和第三控制信号; 开关电路, 用于根据第一控制信号控制第一输入信号组中使用的扩频码的极性, 根据第二控制信号控制第二输入信号组中使用的扩频码的极性, 和根据第三控制信号直接或在交换后输出 I 信号作为来自第一加法电路的输出, 并输出 Q 信号作为来自第二加法电路的输出。

本发明具有与第一和/或第二方面有关的下列从属方面。

在第一和第二方面中, 第一和第二输入信号组的每个输入信号是

方框图；

图 3 是表明信号 PN_I 和 PN_Q 与信号 X_I 和 X_Q 之间关系的表；

图 4 是表明本发明实施例结构的方框图；

图 5 是表明本发明另一个实施例结构的方框图；和

5 图 6 是表明 (X_I, X_Q) 和 (X'_I, X'_Q) 之间的复数矢量关系的示意图。

下面参考附图(图 4 至 6)说明本发明的优选实施例。

下面说明根据图 4 所示的本发明实施例的扩频调制电路。

10

在本发明的该实施例中，简化已参考图 2 说明的常规扩频调制电路的复数乘法器 24。许多其它部分与图 24 所示电路是公用的。与图 2 中相同的参考标号在图 4 中表示相同部件，并省略其详细说明。

15

如在前面的现有技术说明中详细描述，由下式表示复数乘法器 24a 的输入与输出之间的关系：

20

$$\begin{aligned} I_{out} + j \cdot Q_{out} &= (I + j \cdot Q) \cdot (X_I + j \cdot X_Q) \\ &= (I \cdot X_I - Q \cdot X_Q) + j \cdot (I \cdot X_Q + Q \cdot X_I) \\ \therefore I_{out} &= I \cdot X_I - Q \cdot X_Q \\ Q_{out} &= I \cdot X_Q + Q \cdot X_I \end{aligned} \quad \dots(2)$$

下面将更仔细地检验这些关系。

25

在相位调制中，固定相移与由放大器等的特性造成的相移相同，因此可包括在它们中。

在接收侧，使用对相移不敏感的解调电路，因此固定相移不造成问题。

30

为此，可将超前于正常信号 I_{out} 和 Q_{out} 45 度($= \pi/4$ 弧度)的信号

99125077.X

如果信号 PN_I 和 PN_Q 取相同值, 取代 I 和 Q 信号并将其输出作为信号 I_{out} 和 Q_{out} 。

5 当信号 PN_I 和 PN_Q 具有不同值时, 直接输出 I 和 Q 信号作为信号 I_{out} 和 Q_{out} 。

当信号 PN_I 是 1 时, 将 I 信号的极性反相, 而当信号 PN_Q 是 0 时, 将 Q 信号的极性反相。

10 在本发明中, 使用该方法简化复数乘法器 24a 中的扰频电路。

图 4 示出本发明的一个实施例。

15 该实施例实现了本发明特性中描述的方法:

(1) 如果信号 PN_I 和 PN_Q 取相同值, 则取代 I 和 Q 信号并将其输出作为信号 I_{out} 和 Q_{out} ;

(2) 当信号 PN_I 和 PN_Q 具有不同值时, 直接输出 I 和 Q 信号作为信号 I_{out} 和 Q_{out} ; 和

20 (3) 当信号 PN_I 是 1 时, 将 I 信号的极性反向, 而当信号 PN_Q 是 0 时, 将 Q 信号的极性反向。

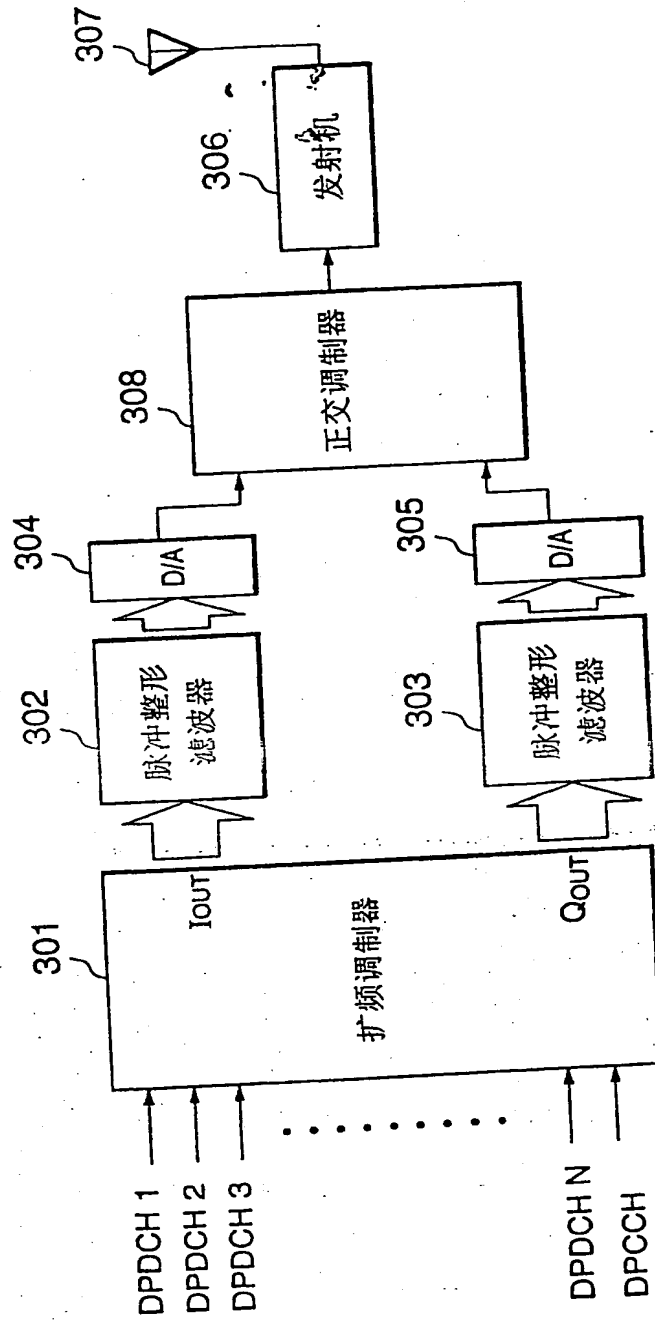
在通过系数电路 15 至 21 将信号转换成多电平信号前执行处理 (3)。在信号通过加法器 22 和 23 之后仅执行处理 (1) 和 (2)。

25 通过下面的步骤实施处理 (3)。

(a) 当信号 PN_I 是 0 时, 由“异”门 (XOR) 35、36、和 37 将扩频码反向后, 将这些信号与 I 组的扩频码相乘, 或当信号 PN_I 是 1 时, 直接将该信号与 I 组的扩频码相乘。

30

图1 现有技术



99125077.X

图3

| 点 | 逻辑代码 | | 数据 | | 旋转 +45° | | I,Q 输出 | |
|---|-----------------|-----------------|----------------|----------------|------------------|------------------|------------------|------------------|
| | PN _I | PN _Q | X _I | X _Q | X _I ' | X _Q ' | I _{OUT} | Q _{OUT} |
| A | 0 | 0 | 1 | 1 | 0 | 1 | -Q | I |
| B | 0 | 1 | 1 | -1 | 1 | 0 | I | Q |
| C | 1 | 0 | -1 | 1 | -1 | 0 | -I | -Q |
| D | 1 | 1 | -1 | -1 | 0 | -1 | Q | -I |

图5

